

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-151253

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)6月14日

H 01 L 23/28

Z-6835-5F

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭62-310077

⑰ 出 願 昭62(1987)12月8日

⑱ 発 明 者 上 條 浩 幸 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内
⑲ 発 明 者 松 下 嘉 明 神奈川県川崎市幸区堀川町72 株式会社東芝堀川町工場内
⑲ 発 明 者 見 方 裕 一 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内
⑲ 発 明 者 宇 佐 美 俊 郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内
⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
㉑ 代 理 人 弁 理 士 諸 田 英 二

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1 半導体チップを封入するパッケージを含み、該パッケージ内に、水素を吸着させた水素吸着部材を具備することを特徴とする半導体装置。

2 半導体チップの主面と該チップを搭載するリードフレームのアイランドとの間に挿入接着した水素吸着部材を有し、樹脂封止した特許請求の範囲第1項記載の半導体装置。

3 半導体チップの主面とセラミックスのパッケージとの間に挿入接着した水素吸着部材を有し、セラミックスにより封止した特許請求の範囲第1項記載の半導体装置。

4 水素吸着部材を導電性樹脂を用いて接着する特許請求の範囲第2項又は第3項記載の半導体装置。

5 パッケージに粉末状の水素吸着部材を含む特許請求の範囲第1項ないし第4項いずれか記載

の半導体装置。

6 水素吸着部材が Fe-Ti 、 $\text{Ti-Mn}_{0.5}$ 、 V 、 Pd 、 V-Nb 、 $\text{Ti}_{0.2}\text{V}_{0.8}$ 、 $\text{Ti-C}_{0.05}\text{Fe}_{0.95}$ 、 $\text{Ti-C}_{0.05}\text{Mn}_{0.95}$ 、 $\text{La-C}_{0.9}$ 、 $\text{Zr-Mn}_{0.2}$ 、 $\text{Ti-C}_{0.05}$ 及び Mg 、 Cu のうちいずれかの単元素金属又は合金である特許請求の範囲第1項ないし第5項いずれか記載の半導体装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体装置のパッケージに関するもので、特にMOS構造の半導体チップを封入し、長期にわたり信頼性が要求される半導体装置に使用される。

(従来の技術)

ICのパッケージは、一般的にセラミック型とサーディップ型(Cer-Dipタイプ)とプラスチック型とに大別される。現在最も主流として使用されているのはプラスチック型である。第5図に従来のプラスチック型パッケージの半導体装

置(樹脂封止型半導体装置)の断面図を示す。
リードフレーム1、リードフレームのアイランド4上にダイボンディング材5により固着した半導体チップ3及びチップ表面の電極とリードフレームのインナーリードとを接続するボンディングワイヤ2がプラスチックからなるパッケージ6内に封入されている。リードフレーム1の材料は銅合金或いは鉄合金が主に用いられている。リードフレーム1は封止内部と外部とにそれぞれめっきがほどこされており、特に内部めっきはAg、Au等の金属が用いられ、ダイボンディング材及びボンディングワイヤによってその金属は変わる。また最近では、ダイボンディングに導電性ペースト5を用いるようになっており、その場合は特にアイランドにめっきをしないで用いられる。

MOS構造を有する半導体デバイス(キャパシタを含む)においては、その特性向上のために、MOS構造を形成している絶縁膜と半導体基板との界面準位、或いは基板中の有害な不純物準位(アクセプタ、ドナーとなる本来の不純物を除く)

場合のバンド状態を示す。第6図と同じ符号は同一部分を示す。符号37は界面準位、38は有害な不純物準位を示す。

今“1”を書き込んだ場合を考えてみると、第7図(a)に示すようにN⁻層の電位は周辺の各層に比し高電位となっている。ところがこの状態のときに周辺から電子が入り込んでくると、この電位は低くなり、同図(b)に示す“0”の状態の電位と識別がつかなくなる。つまり“1”という情報に変わってしまう。一般にDRAMでは、一度セルにメモリ情報を書き込んでも、一定時間後には、その情報が消えてしまう。このためメモリセル部の情報を保持する目的で、一定時間ごとに情報を読み出し、書き込む(リフレッシュする)操作が行われている。N⁻層の電位を下げる電子は、キャパシタを構成するゲート絶縁膜32aとN⁻層33との界面に存在する界面準位37もしくはPN接合の空乏層内にある有害不純物準位38から励起されることによって発生することが多い。このような準位は、存在して

は、できるだけ少ないことが望ましい。これらの準位が極端に多い場合にはデバイス特性を劣化させる。特にダイナミックRAM(以下DRAMと略記)においては、キャパシタの電荷保持特性(Pause特性)を著しく悪化させることになる。

第6図(a)は、1個のMOSキャパシタと1個のトランジスタからなるDRAMのセル構造を模式的に示す断面図である。P型シリコン基板30の一方の主面側に、第1ポリシリコン層(キャパシタ電極)31、ゲート酸化膜32a及びN⁻層33からなるMOSキャパシタが形成される。またドレイン、ソースとなるN⁺層34、第2ポリシリコン層35(ゲート電極)及びゲート酸化膜32bからなるMOSトランジスタが形成されている。符号36はアルミ配線である。同図(b)はその電気的等価回路図を示す。第7図はDRAMのキャパシタ電極31、ゲート酸化膜32a、N⁻層33及びP層30のエネルギーバンド図であり、同図(a)は“1”、同図(b)は“0”の情報をキャパシタに書き込んだ

いても不活性であれば問題は発生しないわけであるが、活性化された状態で存在すると、一定のリフレッシュ時間以下の短時間で情報が消え問題となる。

この準位を不活性にする方法に水素を吸着させる方法がある。つまり、ゲート酸化膜32aとN⁻層33との界面に存在するN⁻層上のダングリングボンド(dangling bond)ないしは有害不純物の混入によって生じるダングリングボンドに水素が吸着し、界面準位もしくは有害不純物準位が不活性になる。したがってデバイス作製の工程において、例えば、シンターのような工程では、水素を含むガスで熱処理を行っており、結果的には上述の効果をもたらしている。しかしデバイスが完成し、製品として出荷された後、時間が経過するに従い、ダングリングボンドと解離する水素が増え、不活性であった準位が再び活性化してくる。その結果誤動作を生じることになる。

(発明が解決しようとする問題点)

上述のようにMOS構造を持つ半導体装置では、

絶縁膜と基板との間の界面準位あるいは混入する有害不純物による不純物準位が存在するが、界面及び基板内の材料のダングリングボンドに水素を吸着し、これらの準位を不活性にする方法がとられている。しかしながら製品として出荷後、時間が経過するに従い、ダングリングボンドと解離する水素が増え、不活性であった準位が再び活性化される点については、特に対策がとられていない。このため従来のパッケージ技術では使用中に誤動作を生じるものがあり、信頼性の面で大きな問題となっている。

本発明の目的は、半導体装置の絶縁膜と基板との界面準位もしくは基板内の有害不純物準位が、長期にわたって活性化するのを防ぎ、信頼性を向上させた半導体装置を提供することである。

〔発明の構成〕

（問題点を解決するための手段と作用）

本発明は、半導体チップを封入する容器であるパッケージと該パッケージ内との少なくともどちらかの部分に水素を吸着させた水素吸着部材を設

が設けられる。

次に第3図を用いて、この半導体装置の組み立て工程（アセンブリ工程）について説明する。用いたリードフレーム11は42%Ni-Fe合金で、ボンディングされる部分はAuめっき17がされている。同図(a)に示すようにリードフレームのアイランド14上にエポキシ樹脂にAg粉末を混合した導電性接着剤15を塗布した後、FeTiの合金からなる板状の水素吸着部材10を同図(b)に示すように固着する。なおFeTiの合金は、あらかじめ25℃30Paの水素雰囲気中でFeTi内に水素を十分吸着（飽和する程度に）させておく。次に、同図(c)に示すように水素吸着部材10の上に同じ導電性接着剤15で256KDRAMチップ13を接着した後、Auのワイヤ12で半導体チップ13のアルミ電極18とリードフレームのリードとをワイヤボンディングする。次にエポキシ樹脂で封止し第1図に示す半導体装置が得られる。

上記実施例では、プラスチックパッケージを用

いたことを特徴とする半導体装置である。

本発明の半導体装置は、その内部に水素を吸着した水素吸着部材を用い、長時間にわたって少しずつ水素を放出させ、半導体チップ周辺を水素に富んだ雰囲気とし、前記ダングリングボンドに水素を吸着し不活性となっている界面準位もしくは不純物準位が、水素を解離して活性化するのを長期にわたって防ぎ、前記問題点を解決して、デバイスの信頼性を向上したものである。

（実施例）

以下に本発明の実施例を図面を参照して詳細に説明する。

第1図は、256KのDRAM半導体チップ13をプラスチック型のパッケージ16に封入した本発明の半導体装置の断面図である。同図において、半導体チップ13の主面とリードフレーム11のアイランド14との間にFeTiの合金からなる水素吸着部材10が挿入され、導電性樹脂15により接着されている。この実施例ではプラスチックパッケージ16内に水素吸着部材10

いたが、セラミック型でもサーディップ型でもよい。サーディップ型パッケージに本発明を適用した場合の例を第2図に示す。第1図と同じ符号は同一部分又は対応部分を示す。符号21はアルミナからなるセラミックパッケージで、上下に分割され、低融点ガラス22により封着される（第2図では、便宜上封着前の状態を示す）。

水素を吸着させた水素吸着部材は、部材内部の“すきま”（構成原子の格子間位置を含む）に水素を吸着貯蔵し、その水素を長時間にわたって放出できる部材で、例えば水素貯蔵合金のように、水素の吸蔵、放出量が大きい金属が望ましい。本発明で使用する水素吸着部材は、半導体装置の製造に使用する材料条件等を考慮し、FeTi、TiMn_{0.5}、VNb、Ti_{0.2}V_{0.8}、TiCo_{0.5}Fe_{0.5}、TiCo_{0.5}Mn_{0.5}、LaCo₃、ZrMn₂、TiCo及びMg、Cuの合金或いはV、Pbの単元素金属が適用可能である。

また上記実施例では、リードフレームのアイラ

ンドと半導体チップとの間に、水素を吸着させた板状のPbTi合金を入れたが、この合金板は半導体チップに近ければ近いほどよいが、パッケージ内に設けてあればよい。また合金板でなく粉末にして封止用の樹脂やセラミックスにまざっていてもよい。

また水素を吸着させた水素吸着部材を半導体チップとリードフレームのアイランド又はセラミックスのパッケージに接着する場合には、水素の吸着貯蔵状態を損わないように導電性樹脂を接着剤として使用することが望ましい。

なおリードフレームの材質はNi-Pb合金でなくても、その他の鉄系又は銅系の合金であってもよいことは勿論である。

このような半導体装置では、その内部にほぼ飽和する程度の水素を吸着させた水素吸着部材から、長時間におたって少しずつ水素が解離放出され、半導体チップ周辺を水素に富んだ雰囲気とし、界面準位もしくは不純物準位に起因する結晶のダングリングボンドに吸着した水素は長期にわたって

保持される。第4図は、水素吸着部材を含むプラスチック型のパッケージと従来のプラスチック型のパッケージとで、256K DRAMチップを封入した製品の良品各100個を、200℃で200H(時間)、500H、1000H後に、キャパシタの電荷保持特性(Pause特性)を調べ、劣化の程度を比較したものである。劣化はチップ内に1セルでも所定のリフレッシュ時間以下の保持時間(Pause time)であった場合(リフレッシュできない場合)に劣化とみなした。

同図からもわかるとおり、従来例に比べ本発明の半導体装置では劣化が1/4以下におさえられている。

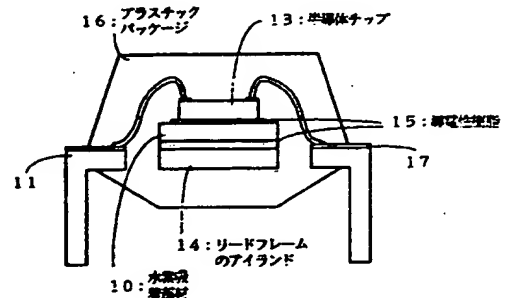
[発明の効果]

上述のように本発明の半導体装置では、その内部に十分水素を吸着させた水素吸着部材を含む構成としたので、半導体チップの絶縁膜と基板との界面準位もしくは基板内の有害不純物準位が、長期にわたって活性化するのを防ぎ、信頼性の向上した半導体装置を提供することができた。

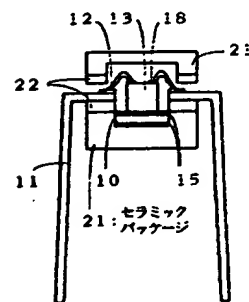
4. 図面の簡単な説明

第1図は本発明の半導体装置の実施例の断面図、第2図は本発明の半導体装置の他の実施例の断面図、第3図は第1図の半導体装置の組み立て工程の断面図、第4図は従来例と実施例のそれぞれの半導体装置の信頼性試験結果を示す図、第5図は従来の半導体装置の断面図、第6図はDRAMのセル構造の断面図とその等価回路図、第7図はDRAMに“1”及び“0”の情報を書き込んだ時のセル部のキャパシタのエネルギーバンド図である。

1、11…リードフレーム、3、13…半導体チップ、4、14…リードフレームのアイランド、5、15…導電性樹脂、6、16…プラスチックパッケージ、10…水素吸着部材、21…セラミックパッケージ。

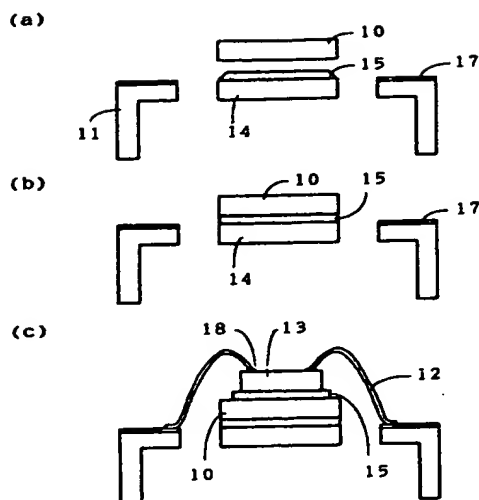


第1図

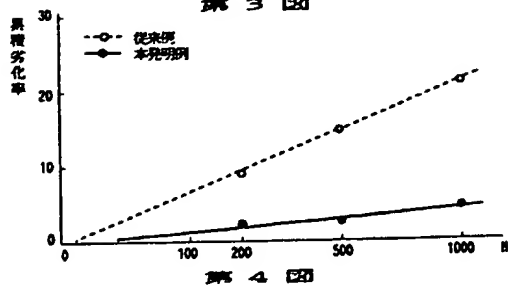


第2図

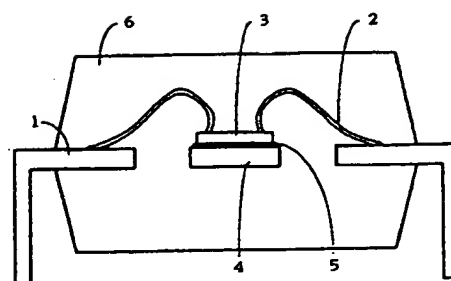
特許出願人 株式会社 東 芝
代理人 弁理士 諸田 英二



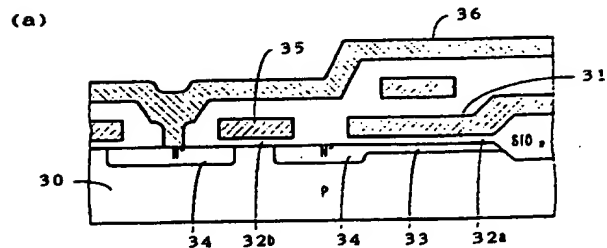
第 3 図



第 4 図

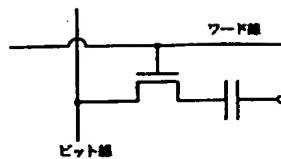


第 5 図



第 6 図 (1)

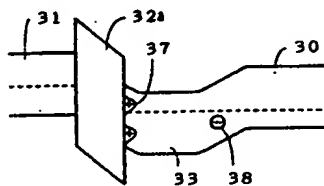
(b)



第 6 図 (2)

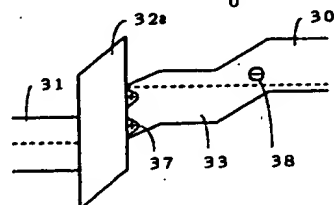
(a)

"1"



(b)

"0"



第 7 図

PAT-NO: JP401151253A

DOCUMENT-IDENTIFIER: JP 01151253 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 14, 1989

INVENTOR-INFORMATION:

NAME

KAMIJO, HIROYUKI

MATSUSHITA, YOSHIAKI

MIKATA, YUICHI

USAMI, TOSHIRO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP62310077

APPL-DATE: December 8, 1987

INT-CL (IPC): H01L023/28

US-CL-CURRENT: 257/682

ABSTRACT:

PURPOSE: To prevent an interface level between an insulating film and a

substrate of a semiconductor chip or a harmful impurity level inside the substrate from being activated for a long time by a method wherein a hydrogen adsorption material which has adsorbed hydrogen is installed inside a semiconductor package.

CONSTITUTION: A hydrogen adsorption material 10 which has adsorbed hydrogen is installed at least either at a package 16 as a container used to seal a semiconductor chip 13 or inside the package 16. Hydrogen is discharged from the hydrogen adsorption material little by little for many hours; the neighborhood of the semiconductor chip 13 becomes an atmosphere which is rich in hydrogen; this prevents an interface level which has adsorbed hydrogen to a dangling bond and has become inactive or an impurity level from being activated for a long time because the hydrogen is dissociated; reliability of the device is improved.

COPYRIGHT: (C)1989,JPO&Japio